

ケーススタディー

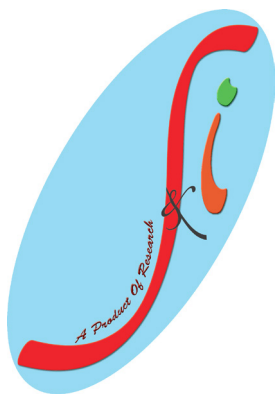
インテル® ソフトウェア開発ツール

インテル® Cluster Studio XE、インテル® Fortran コンパイラー、
インテル® MPI ライブラリー



航空宇宙工学の スーパーコンピューティングにおける 並列化の利点を実証

HiFUN (High Resolution Flow Solver on Unstructured Meshes) で究極のスケーラブル・パフォーマンスを実現



「相対的な容易さを備えた複雑なジオメトリーをシミュレートする機能、定常状態へ迅速に収束する Matrix-free 陰解法を用いることにより、ソルバーを効率良い強固なものにしています。」

S & I Engineering Solutions Pvt. Ltd.
ディレクター
Nikhil V Shende 氏

はじめに

Simulation and Innovation Engineering Solutions (SandI) Pvt. Ltd. (www.sandi.co.in) は、インドの主要研究機関の 1 つである、Indian Institute of Science (インド理科大学院) (www.iisc.ernet.in) から創出された最先端テクノロジー会社です。CFD 流体ソルバー HiFUN (High Resolution Flow Solver on Unstructured Meshes) の販売促進を図る一方、SandI は航空宇宙業界にハイエンドの CFD サービスを提供することにも注力しています。SandI の強みの 1 つは、IISc の Department of Aerospace Engineering (航空宇宙工学部) の Computational Aerodynamic Laboratory (計算航空力学研究所) (CAAd Lab) から継続的に研究開発の支援を受けていることです。この支援により、SandI は、常に増加する顧客のニーズと要求を同時に満たすように、最新の CFD ツールとプロセスを促進することができます。

複雑なシミュレーションをサポートして有用なデータを提供する HiFUN

SandI の主要製品である HiFUN は、強固、高速、正確かつ最先端の汎用 CFD ソルバーであり、空力設計データを迅速に設計者へ提供します。HiFUN が優れている点は、業界の典型的な環境で発生する複雑なジオメトリーや流体の物理的現象を制御できることです。任意の多面体ボリュームを扱える非構造データを使用したレンダリングに加えて、比較的容易に複雑なジオメトリーをシミュレートする機能と、定常状態へ迅速に収束する Matrix-free 陰解法により、ソルバーを効率良い強固なものにしています。HiFUN の高い精度は、AIAA Drag Prediction Workshop (<http://aaac.larc.nasa.gov/tsab/cfdlarc/aiaa-dpw>) や AIAA High Lift Prediction Workshop (<http://hiliftpw.larc.nasa.gov>) など、さまざまな国際 CFD コード評価演習への参加を通じて広く実証されました。2010 年 6 月に米国シカゴで開催され、8 か国から 18 機関が参加した第 1 回 CFD High Lift Prediction Workshop で、HiFUN は非常に優れた CFD ソルバーの 1 つであることが評価されました。HiFUN の別の強みは、大規模な並列コンピューティング環境における膨大な数のプロセッサ・コアでもスケーリングできることです。この特徴は、問題サイズとは関係なくターンアラウンド時間を期待する設計者にとって朗報でしょう。これらの機能により、HiFUN は低亜音速から極超音速まで、広い範囲の流体問題のシミュレーションで使用されています (<http://www.sandi.co.in>)。

HiFun と並列パフォーマンス

HiFUN のような CFD ソルバーで重要な並列パフォーマンスの指標は、並列のスケラビリティとアルゴリズムのスケラビリティの 2 つです。反復ソルバーで並列のスケラビリティを高めるには、計算コアの数の増加に伴って、1 つの反復でソルバーが処理する時間を減らします。同時に、コア間のデータ通信を最小限に抑えながら、コア間で計算ロードのバランスが最適になるようにします。現在の研究では、多層、多制約グラフ分割アルゴリズムに基づいて最適なロードバランスが得られるように、ソフトウェア METIS (<http://glaros.dtc.umn.edu/gkhome/views/metis>) が使用されています。並列パフォーマンスのもう 1 つの重要な指標であるアルゴリズムのスケラビリティが高いということは、コードの計算能力が計算コアの数に依存しないことを意味します。ソルバーのアルゴリズムのスケラビリティは、効率良い並列化の恩恵を受けやすいシリアル・アルゴリズムの能力とソルバー・ネットワークへのアルゴリズムの実装に依存します。HiFUN は、珍しい 4 層のデータ構造を利用することにより、ハイレベルのアルゴリズムのスケラビリティを実現しています。HiFUN は、計算コア間のデータ転送に標準モードのノンブロッキング通信 MPI 宣言子を使用しています。

HiFUN の並列パフォーマンスは、NASA 台形翼 (NASA Trap Wing:<http://hiliftpw.larc.nasa.gov/index-workshop1.html>) を通る亜音速流をシミュレートして検証されました。台形翼は、適度なジオメトリの複雑さを提供する典型的な高揚力形態です。生成される複雑な流れのシミュレートは、CFD コミュニティーにとって課題の 1 つです。もちろん、そのような複雑な流れを解くための格子は大きく、この問題は CFD ソルバーの並列パフォーマンスを評価する理想的な候補です。この検証では、一様流マッハ数は 0.2、迎角は 28 度、翼の空力平均翼弦に基づく一様流レイノルズ数は 420 万です。計算は、プリズムと四面体要素から構成される 3 つの複合非構造格子で実行されました。表 1 はセル数による各格子のサイズを示しています。

図 1 は NASA 台形翼の非構造表面格子を、図 2 は翼の典型的な圧力分布を示しています。

格子 ID	格子タイプ	セル数
UG1	複合非構造:プリズム + 四面体	1,270 万
UG2	複合非構造:プリズム + 四面体	3,850 万
FG	複合非構造:プリズム + 四面体	6,350 万

表 1. 計算に使用した格子

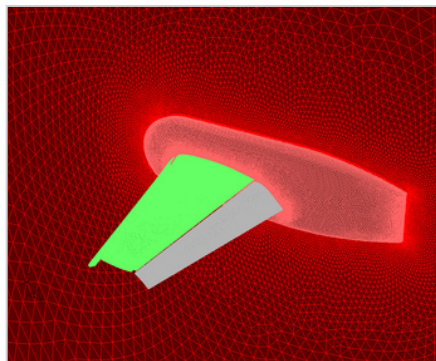


図 1. NASA Trap Wing の表面格子

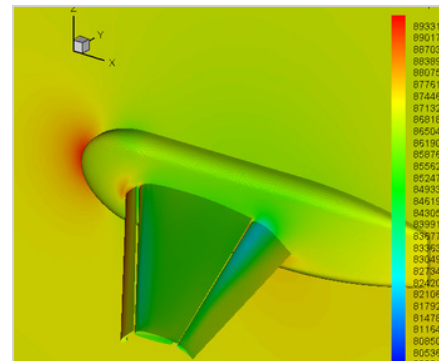


図 2. 表面の圧力分布

計算プラットフォーム

格子 UG1 を使用した HiFUN の並列パフォーマンスは、インテルの HPC クラスタ Endeavor (360 ノード) 上で検証されました。検証時の Endeavor の各ノードは、デュアル 6 コアのインテル® Xeon® X5670 プロセッサ (B1 ステップ、2.93GHz、24GB RAM) で構成されていました。ノード間のインターコネクトには InfiniBand QDR が使用され、ノード間のメッセージパッシングにはインテル® MPI ライブラリー 4.0.3 が用いられました。

格子 UG2 および FG を使用した HiFUN の並列パフォーマンスは、NASA に設置されているスーパーコンピュータ Pleiades (<http://www.nas.nasa.gov/hecc/resources/pleiades.html>) 上で検証されました。検証時のシステムは、4480 ノードのインテル® Xeon® X5670 プロセッサ (2.93GHz) および 128 ノードのインテル® Xeon® X5675 プロセッサ (3.06GHz) で構成されていました。また、Pleiades の各ノードは、デュアル 6 コアのプロセッサ (24GB RAM) から構成されていました。ノード間のインターコネクトには InfiniBand QDR が使用され、ノード間のメッセージパッシングにはインテル® MPI ライブラリー 4.0.3 が用いられました。

インテル® MPI ライブラリーは、MPI v2 (MPI-2) 仕様を実装するマルチファブリックのメッセージ・パッシング・ライブラリーです (<http://www.intel.com/go/mmpi>)。このライブラリーは、アルゴンヌ国立研究所の MPICH2 に基づくハイパフォーマンスなソフトウェア製品で、インテルにより商用版が提供されています。

結果と考察

HiFUN の並列パフォーマンスの検証には、以下のように定義されたスピードアップと並列効率性パラメーターが用いられました。

理想的なスピードアップ: 特定の実行で使用された計算コアの数と計算コアの参照数の比率。

実際のスピードアップ: 特定の実行でコアの参照数を使用した反復あたりの時間と計算コアの数を使用した反復あたりの時間の比率。

並列効率性: 実際のスピードアップと理想的なスピードアップの比率。

典型的な CFD 問題は、コアに関連した通信よりも計算の割合が大きい、粗粒度の並列化に適しています。このため、コア数を増やした格子サイズを指定すると通信の割合が大きくなり、並列効率性が低下します。したがって、最適な計算リソースの利用と高速なターンアラウンド時間を達成するには、問題サイズに基づいて、並列効率性が約 85 パーセントになるプロセッサ・コアの数を開発者が選択する必要があります。多くの場合、許容されるしきい値の並列効率性 (85 パーセント) を保証するコアあたりの最小セル数 (ここでは C カウントと呼んでいます) は、CFD ソルバーが提供する並列レベルの優れた指標となります。実際に C カウントは、異なる格子サイズで指定されたマシンの最適なコア数を決定する上で良い指標となります。我々は、これらのパフォーマンス・パラメーターを用いて、HiFUN コードとインテル® MPI ライブラリーを組み合わせた場合のスケラビリティを検証しました。

格子 UG1 を使用した並列のスケラビリティ

図 3 と 4 は、格子 UG1 を使用して得られたスピードアップと並列効率性を示しています。これらのグラフから、HiFUN コードで達成された 85 パーセントの並列効率性の C カウントが、Endeavor システムのコアあたり約 3300 セルであることが分かります。これは確かに HiFUN が提供するハイレベルのスケラビリティの指標です。

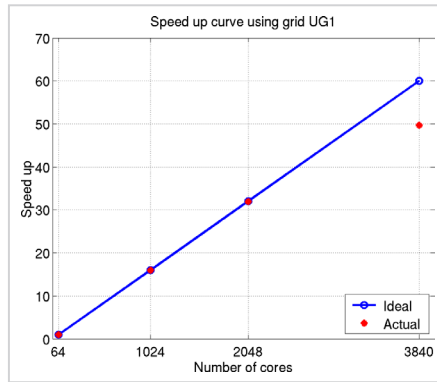


図 3. 格子 UG1 を使用した場合のスピードアップ

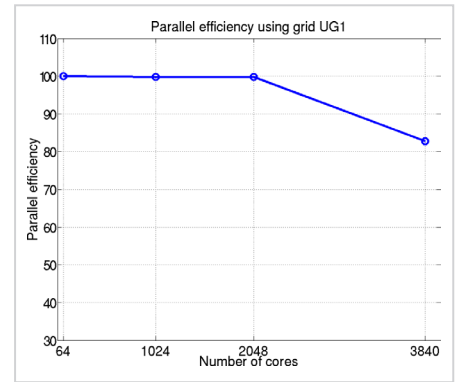


図 4. 格子 UG1 を使用した場合の並列効率性

格子 UG2 を使用した並列のスケラビリティ

図 5 と 6 は、格子 UG2 を使用して得られたスピードアップおよび並列効率性を示しています。図 6 から、HiFUN は 2048 コアで理想的な並列パフォーマンスを達成していることが分かります。また、格子 UG2 のサイズが非常に小さいにもかかわらず、10248 コアで 57 パーセントに並列効率性が低下しているのは通信が影響していると考えられます。

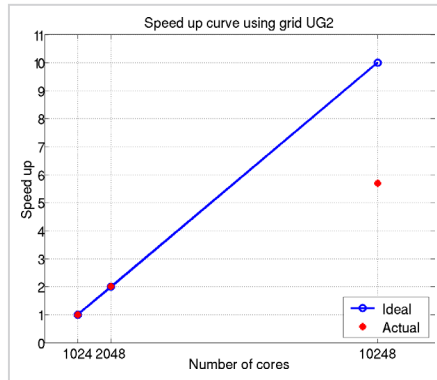


図 5. 格子 UG2 を使用した場合のスピードアップ

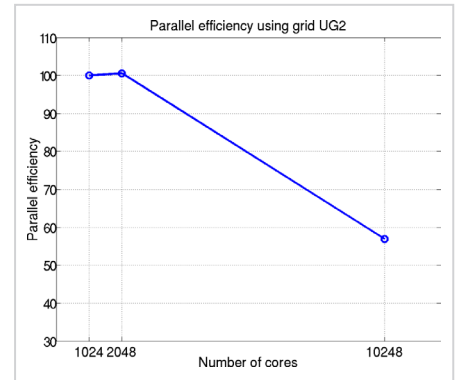


図 6. 格子 UG2 を使用した場合の並列効率性

格子 FG を使用した並列のスケラビリティ

図 7 と 8 は、格子 FG を使用して得られたスピードアップおよび並列効率性を示しています。図 8 から、HiFUN は 4096 コアでほぼ理想的なスピードアップを達成していることが分かります。また、Pleiades プラットフォームの 7168 コアでは並列効率性が約 88 パーセントであり、この格子の C カウントがコアあたり約 8800 セルであることも分かります。10248 コアで約 6350 万ボリュームの格子サイズの場合でも、HiFUN コードは約 75 パーセントの非常に適切な並列効率性を提供しています。

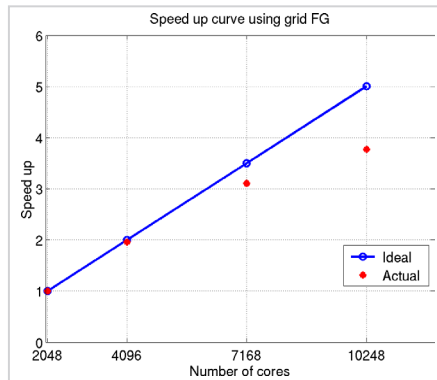


図 7. 格子 FG を使用した場合のスピードアップ

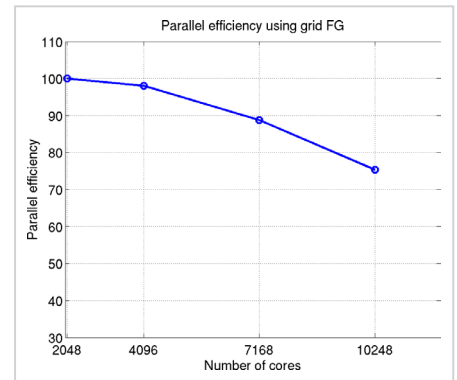


図 8. 格子 FG を使用した場合の並列効率性

格子 FG を使用したアルゴリズムのスケラビリティ

多くの場合、優れた並列のスケラビリティは通信ロードを大幅に削減することにより達成されますが、これは逆に並列ソルバーのパフォーマンスに影響を与えます。このため、高度にスケラブルなコードを実際にテストする場合は、アルゴリズムのスケラビリティに注目します。ここでは、HiFUN のアルゴリズムのスケラビリティを実証するため、同じ流体条件を使用して、2048、7168、10248 プロセッサ・コアで計算を行いました。これらの計算すべてで、定常状態(残留曲線が 10 世代一定)になるまで HiFUN コードを実行しました。

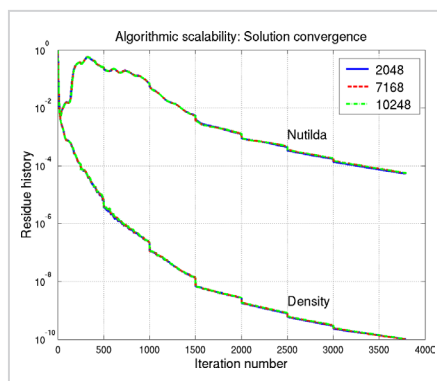


図 9. 比較 — ソリューションの収束

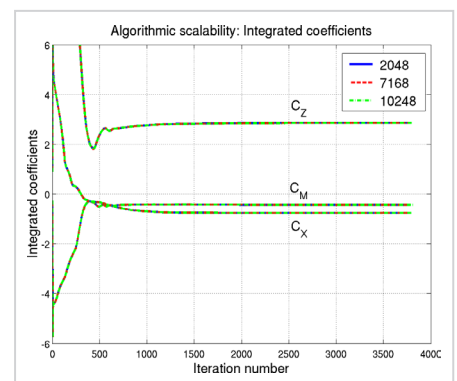


図 10. 比較 — 軸係数の変化

図 9 は、2048、7168、10248 プロセッサ・コアを使用した密度と修正後の乱流粘性係数 (Nutilda) の収束履歴を示しています。HiFUN の優れたアルゴリズムのスケラビリティは図 8 に見られます。密度 /Nutilda に対応する残留曲線は広範なプロセッサ・コア数で同じになっています。図 10 は、2048、7168、10248 プロセッサ・コアを使用した軸力係数とモーメント係数の変化を示しています。これらのプロセッサ・コアで得られた係数曲線がオーバーラップしていることは、HiFUN のアルゴリズムのスケラビリティが高レベルであることを示しています。これらの曲線は、HiFUN で使用されている並列アルゴリズムの効果とその正確な実装をよく表しています。

表 2 は、前述のプロセッサ・コアのセットを使用して得られた揚力、抗力、ピッチングモーメント係数と実験結果を比較したものです。この表から、HiFUN コードにより得られた結果が実験結果とほぼ一致していることが分かります。最後に、設計者のために、表 3 ではさまざまな数のプロセッサ・コアについて格子 FG で定常状態に収束するまでの合計時間を分で示します。この表から、7168 プロセッサ・コアを使用すると、(業界標準の粒度である) 格子 FG の場合でも、約 40 ソリューションのデータポイントを 1 日で生成できることが分かります。高度にスケラブルな HiFUN コードで提供された高速のターンアラウンド時間は、HPC ツールの Intel® Cluster Studio XE スイートを利用してコードをコンパイルすることで達成されました。この種のパフォーマンスと生産性の達成は、従来の設計パラダイムを完全に変更し、設計者は空力設計の初期の段階から高忠実度の空力データにアクセスできるようになります。

手法	コア数	揚力係数	抗力係数	ピッチングモーメント係数
HiFUN	2048	2.8806	0.6747	-0.4387
HiFUN	7168	2.8797	0.6744	-0.4383
HiFUN	10248	2.8797	0.6744	-0.4385
実験	N/A	2.8952	0.6776	-0.4558

表 2. 格子 FG を使用した力およびモーメント係数と実験結果の比較

コア数	定常状態に収束するまでの時間 (分)
2048	93
7168	30
10248	25

表 3. さまざまなセットのプロセッサ・コアを使用して格子 FG で定常状態になるまでに HiFUN で必要な時間

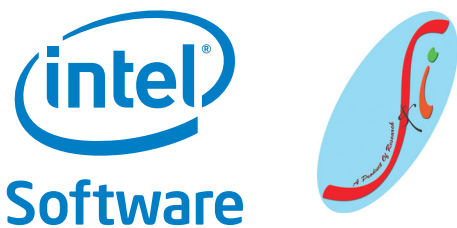
結論

今回の調査では、Intel® MPI ライブラリーを用いて大量の並列コンピューティング・プラットフォームで並列 CFD ソフトウェア HiFUN のパフォーマンス評価を行いました。HiFUN コードの並列パフォーマンスの評価には、並列のスケラビリティとアルゴリズムのスケラビリティの 2 つの指標が使用されました。ジオメトリと流体の物理的現象の両方で、複雑な高揚力 NASA 台形翼形態を対象にしました。粗粒度 (UG1)、中粒度 (UG2)、細粒度 (FG) の 3 つの格子が使われています。HiFUN コードの並列のスケラビリティは 3 つの格子すべてで、アルゴリズムのスケラビリティは格子 FG で実証されました。この調査から、以下の結論を下すことができます。

1. HiFUN コードは高度にスケラブルである。
2. HiFUN コードは、大量の並列処理が行われる可能性のある数千ボリュームのオーダーで、非常に小さな C カウントを提供する。
3. プロセッサ・コアの数と並列パフォーマンスとは無関係に、HiFUN コードはほぼ理想的なアルゴリズムのスケラビリティを達成している。

スケラブルな並列アプリケーションは、大量のプロセッサ・コアでスケラブルなパフォーマンスを保証する基本アルゴリズムの効率良い並列実装、プロセッサ・コア間のデータ転送中の冗長性を最小限に抑える効率良いメッセージ・パッシング・ライブラリー、プロセッサ・コアをインターコネクトする最適化されたネットワーク・トポロジーという 3 つの要素から成り立っています。HiFUN、Intel® MPI ライブラリー、Intel® Xeon® プロセッサ・ベースのプラットフォームを組み合わせることで、非常にスケラブルな CFD ソリューションを提供することができます。

Intel® ソフトウェア開発ツールの詳細は、<http://software.intel.com/en-us/intel-sdp-home/> (英語) を参照してください。



Intel® ソフトウェア製品のパフォーマンス / 最適化製品に関する詳細は、<http://software.intel.com/en-us/articles/optimization-notice> を参照してください。

最適化に関する注意事項: Intel® コンパイラーは、互換マイクロプロセッサ向けには、Intel 製マイクロプロセッサ向けと同等レベルの最適化が行われない可能性があります。これには、Intel® ストリーミング SIMD 拡張命令 2 (Intel® SSE2)、Intel® ストリーミング SIMD 拡張命令 3 (Intel® SSE3)、ストリーミング SIMD 拡張命令 3 補足命令 (SSSE3) 命令セットに関連する最適化およびその他の最適化が含まれます。Intel では、Intel 製ではないマイクロプロセッサに対して、最適化の提供、機能、効果を保証していません。本製品のマイクロプロセッサ固有の最適化は、Intel 製マイクロプロセッサでの使用を目的としています。Intel® マイクロアーキテクチャーに非固有の特定の最適化は、Intel 製マイクロプロセッサ向けに予約されています。この注意事項の適用対象である特定の命令セットに関する詳細は、該当製品のユーザーズガイドまたはリファレンス・ガイドを参照してください。改訂 #20110804

この文書および情報は、Intel のお客様向けの参考情報として記載されているものであり、現状のまま提供され、明示されているか否かにかかわらず、いかなる保証もいたしません。ここにいう保証には、商品適格性、特定目的への適合性、知的財産権の非侵害性への保証を含みますが、これらに限定されるものではありません。本資料は、本資料に記述、表示、または記載されたいかなる知的財産権のライセンスも許諾するものではありません。Intel 製品は、医療、救命、延命措置、重要な制御または安全システム、核施設などの目的に使用することを前提としたものではありません。

性能に関するテストや評価は、特定のコンピューター・システム、コンポーネント、またはそれらを組み合わせて行ったものであり、このテストによる Intel 製品の性能の概算の値を表しているものです。システム・ハードウェアの設計、ソフトウェア、構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。Intel 製品は、予告なく仕様、説明、または計画が変更されることがあります。