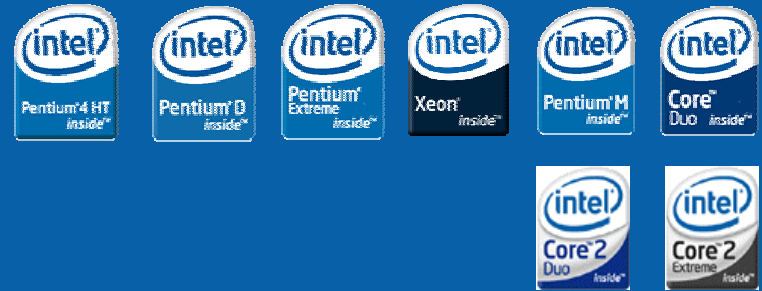




Remember when
the sky was the limit?



インテル® プロセッサの マイクロアーキテクチャー概要



Aug 3 '06



内容

基本アーキテクチャー

- Intel NetBurst® アーキテクチャー
 - インテル® Pentium® 4 プロセッサ
 - インテル® Xeon® プロセッサ
- インテル® モバイル・アーキテクチャー
 - インテル® Pentium® M プロセッサ
- インテル® Core™ アーキテクチャー

ハイパースレッディングとデュアルコア

インテル® エクステンデッド・メモリー 64 テクノロジー



プロセッサ・ロードマップ



3

すべての製品と日付は仮のものであり、予告なしに変更される場合があります。
特定の製品の出荷時期については、「ファクトシート」を参照してください。

*開発コード名

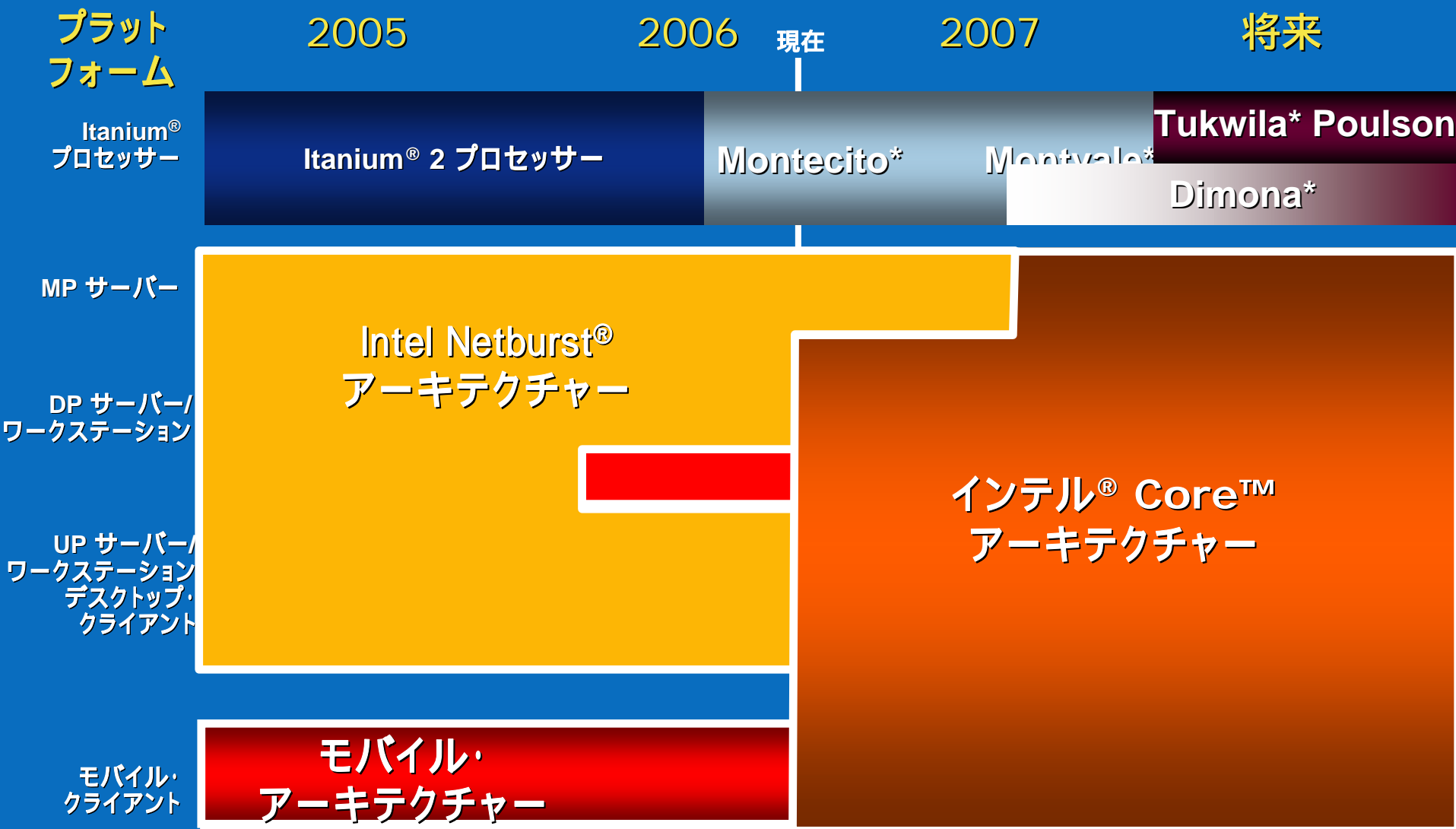
マルチコア (2コア以上)

マルチコア (4コア以上)

Intel® Software Alliance



マルチコアのロードマップ



4

すべての製品と日付は仮のものであり、予告なしに変更される場合があります。
特定の製品の出荷時期については、「ファクトシート」を参照してください。

*開発コード名



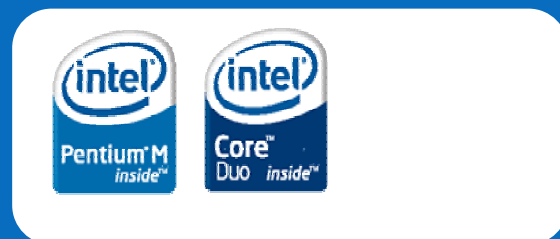
Software

3つのアーキテクチャー

Intel NetBurst® アーキテクチャー



インテル® モバイル・アーキテクチャー



インテル® Core™ アーキテクチャー



Intel NetBurst[®] プロセッサ・ファミリー

SSE2

インテル[®] Pentium[®] 4 プロセッサ

HT テクノロジー

SSE3

HT テクノロジー
インテル[®] Pentium[®] 4 プロセッサ

インテル[®]
EM64T

HT テクノロジー
インテル[®] Pentium[®] 4 プロセッサ

HT テクノロジー
インテル[®] Pentium[®] 4 プロセッサ
エクストリーム・エディション

64 ビット インテル[®] Xeon[®] プロセッサ

デュアルコア

インテル[®] Pentium[®] プロセッサ
エクストリーム・エディション

64 ビット インテル[®] Xeon[®] プロセッサ

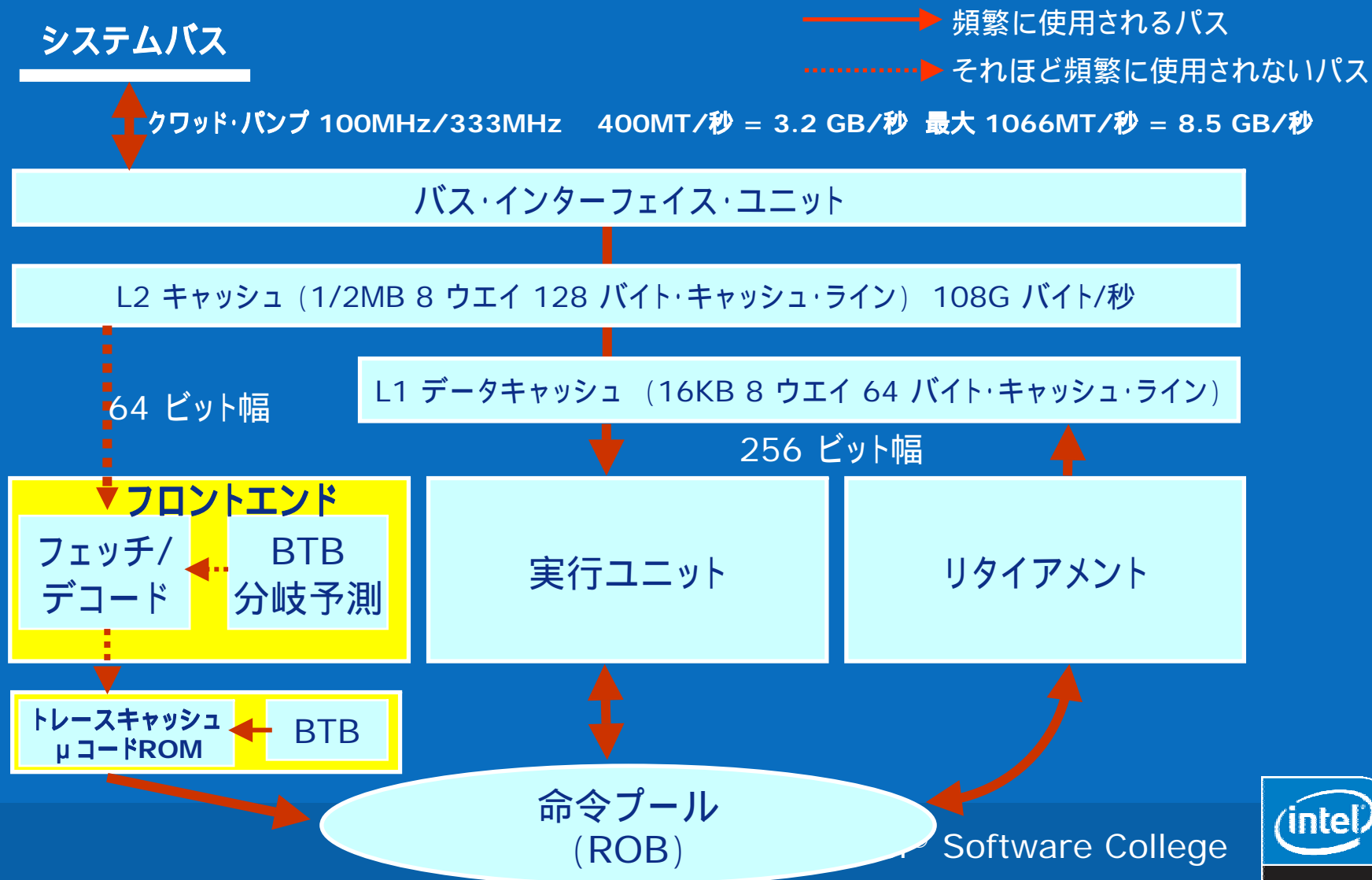
インテル[®] Pentium[®] D プロセッサ

HT テクノロジー
インテル[®] Pentium[®] 4 プロセッサ

HT テクノロジー
インテル[®] Pentium[®] 4 プロセッサ
エクストリーム・エディション

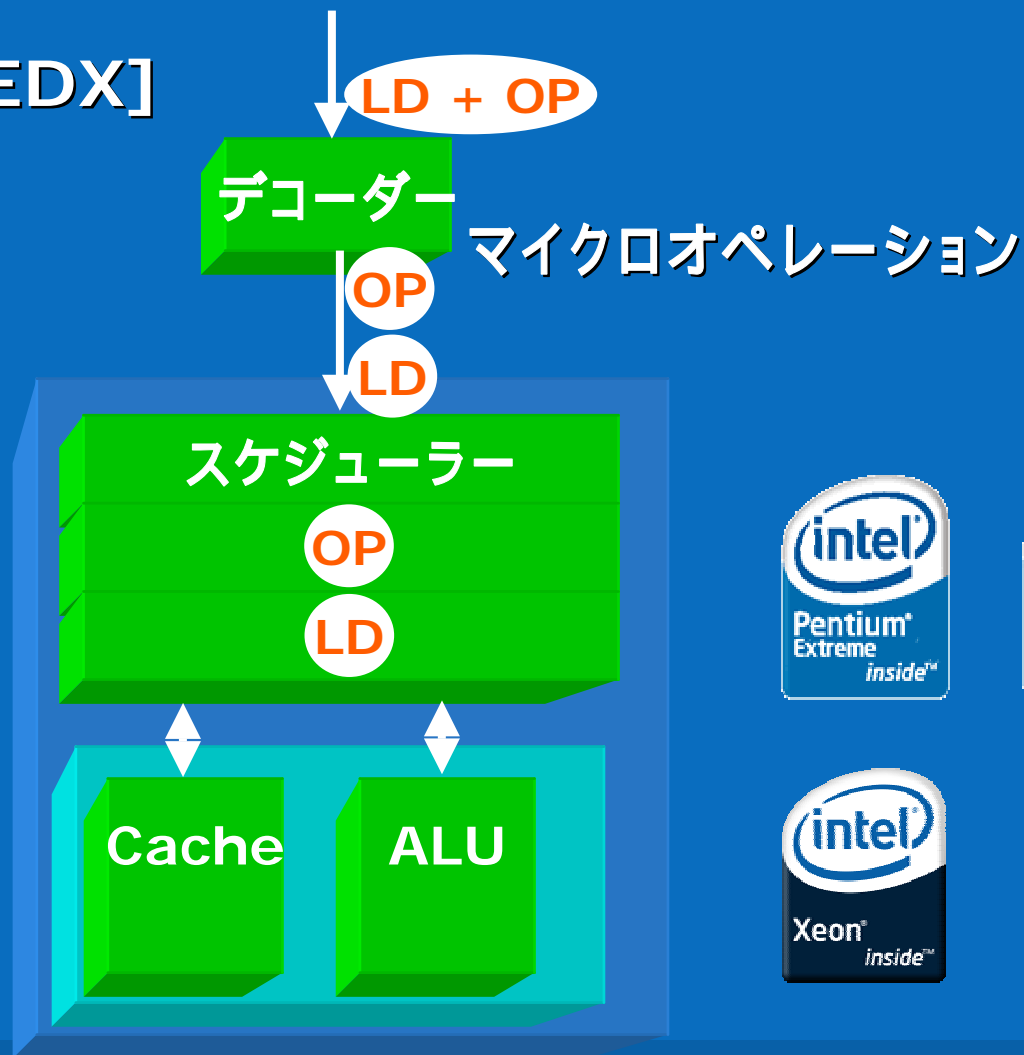
インテル[®] Xeon[®] プロセッサ

Intel NetBurst® マイクロアーキテクチャー



インテル® Pentium® 4 プロセッサ

ADD EAX, [EDX]



Intel NetBurst[®] マイクロアーキテクチャーの設計目標

より深いパイプラインにより、高速化を実現

- 異なるレートで異なる部分を実行
- 高いクロックで動作可能な設計

頻繁に実行される命令用に最適化

- デコードされた μop 用トレースキャッシュ
- 実行ループから命令のデコードを分離

最小限のストール・ペナルティー

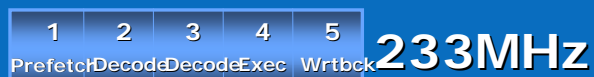
- 並列実行、バッファリング、スペキュレーション
- ダイナミック・アウト・オブ・オーダー実行

基本アーキテクチャー: パイプライン

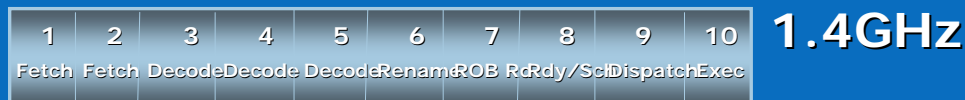
ハイパー・パイプライン・テクノロジー

後期のインテル® Xeon® プロセッサではパイプラインのステージ数が 31 に倍増

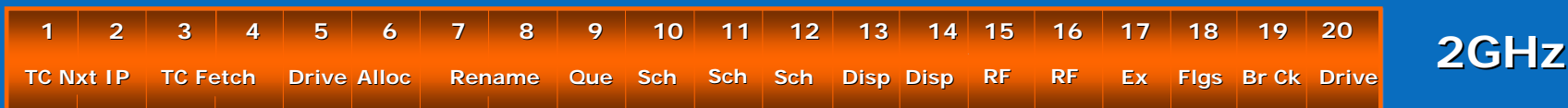
プロセッサのパフォーマンスと周波数を大幅に向上
(設計上限 10GHz)



P5 マイクロアーキテクチャー



P6 マイクロアーキテクチャー



Intel NetBurst® マイクロアーキテクチャー



インテル® モバイル プロセッサー・ファミリー

SSE3

インテル® Core™ Solo プロセッサー

インテル® EM64T

デュアルコア

インテル® Core™ Duo プロセッサー

SSE2

インテル® Pentium® M プロセッサー
インテル® Celeron® M プロセッサー

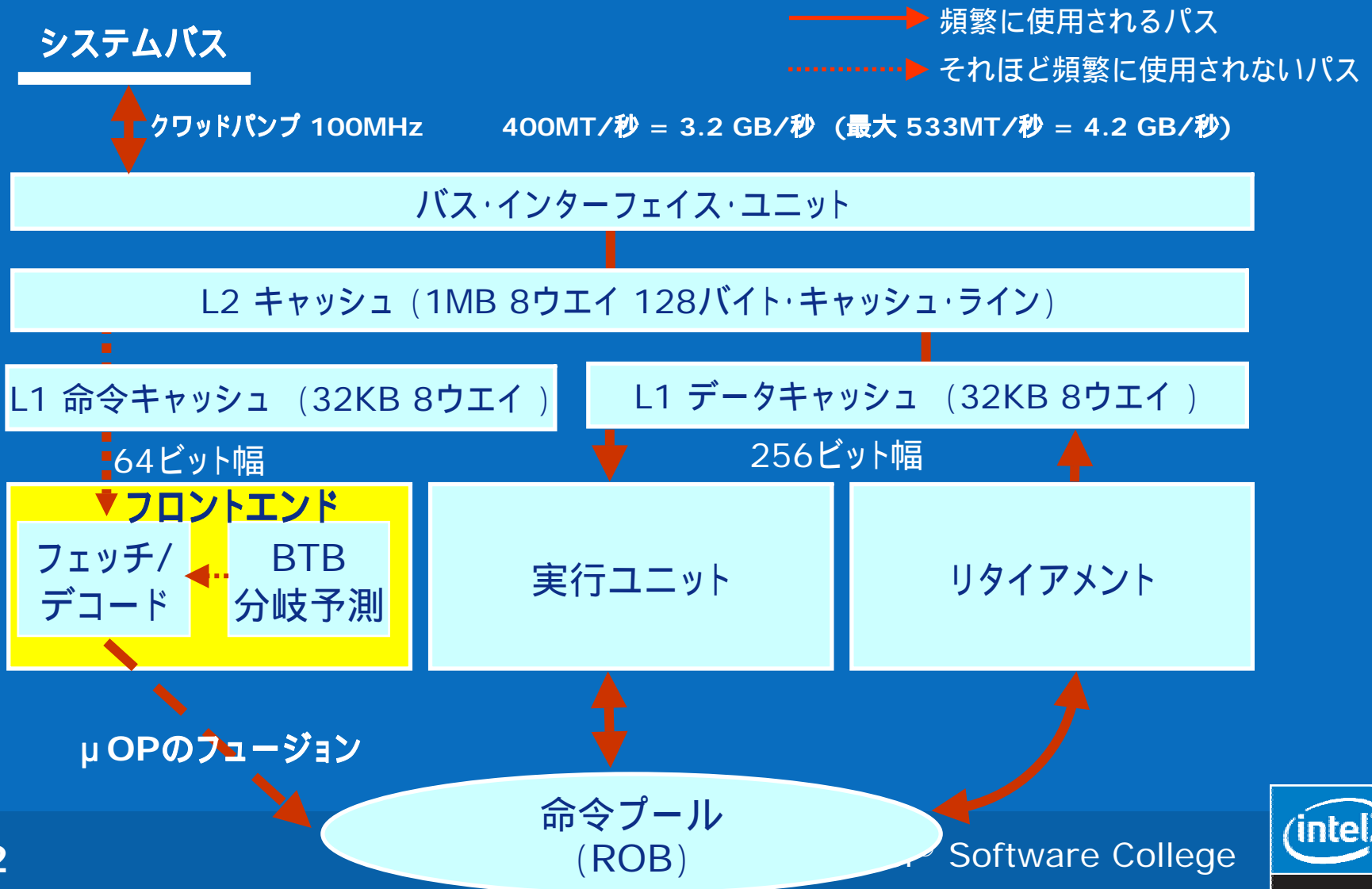
HT テクノロジー

11 これらのプロセッサーで インテル® モバイル・マイクロアーキテクチャーをサポート



Software

インテル® モバイル・マイクロアーキテクチャー



インテル® Pentium® M プロセッサ

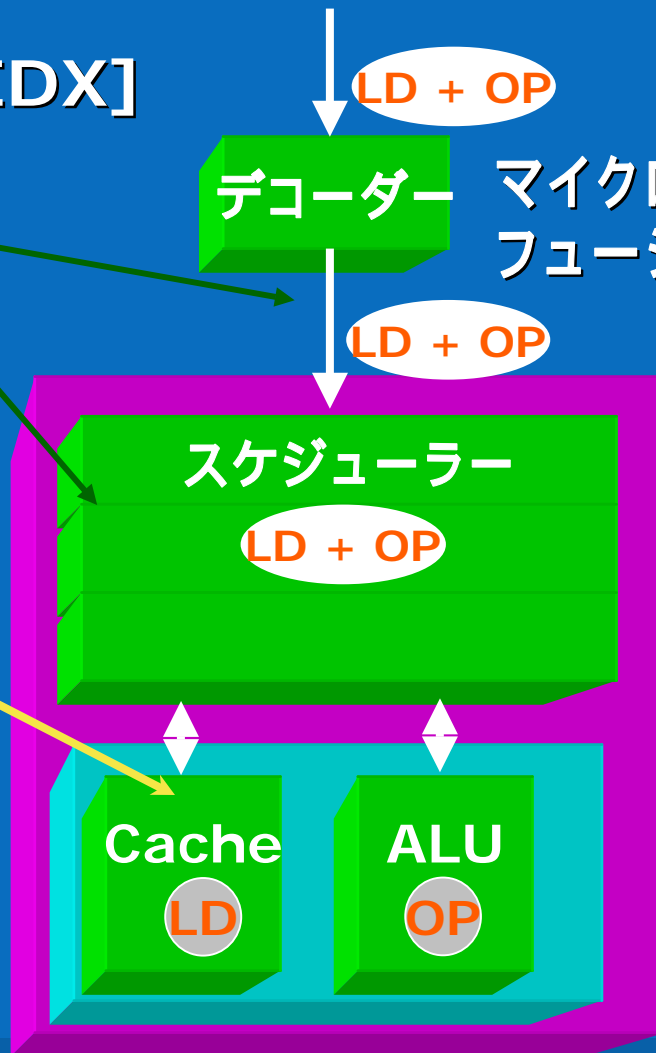
ADD EAX, [EDX]

デコーダー

マイクロオペレーション
フュージョン

マイクロオペレーションのフュージョンはマシンリソースの使用率を向上させます。

依存性がない独立したuOp OOO/スーパースケーラー



インテル® Core™ プロセッサ・ファミリー

SSE3

インテル® 64 テクノロジー

デュアルコア

インテル® Xeon® プロセッサ (5100番台)

インテル® Core™ 2 Extream プロセッサ
インテル® Core™ 2 Duo プロセッサ

SSE2

HT テクノロジー

これらのプロセッサで インテル® Core™ マイクロアーキテクチャーをサポート

インテル® Core™ マイクロアーキテクチャー

システムバス

クワッド・パンプ 166MHz/266MHz/333MHz

667MT/秒 = 5.3 GB/秒、1066MT/秒 = 8.5GB/秒、1333MT/秒 = 10.6GB/秒

→ 頻繁に使用されるパス
→ それほど頻繁に使用されないパス

バス・インターフェイス・ユニット

アドバンスド・スマートL2 キャッシュ (2MB/4MB 8ウェイ 128バイト・キャッシュ・ライン)

L1 命令キャッシュ
(32KB 8ウェイ)

L1 データキャッシュ
(32KB 8ウェイ)

256ビット幅

L1 命令キャッシュ
(32KB 8ウェイ)

L1 データキャッシュ
(32KB 8ウェイ)

256ビット幅

64ビット幅

64ビット幅

5 フロントエンド
フェッチ/デコード BTB
分岐予測

実行ユニット(5つ)

リタイアメント

5 フロントエンド
フェッチ/デコード BTB
分岐予測

実行ユニット(5つ)

リタイアメント

マクロ・オペレーションのフュージョン

マクロ・オペレーションのフュージョン

4
マイクロ・オペレーション(μOP)のフュージョン

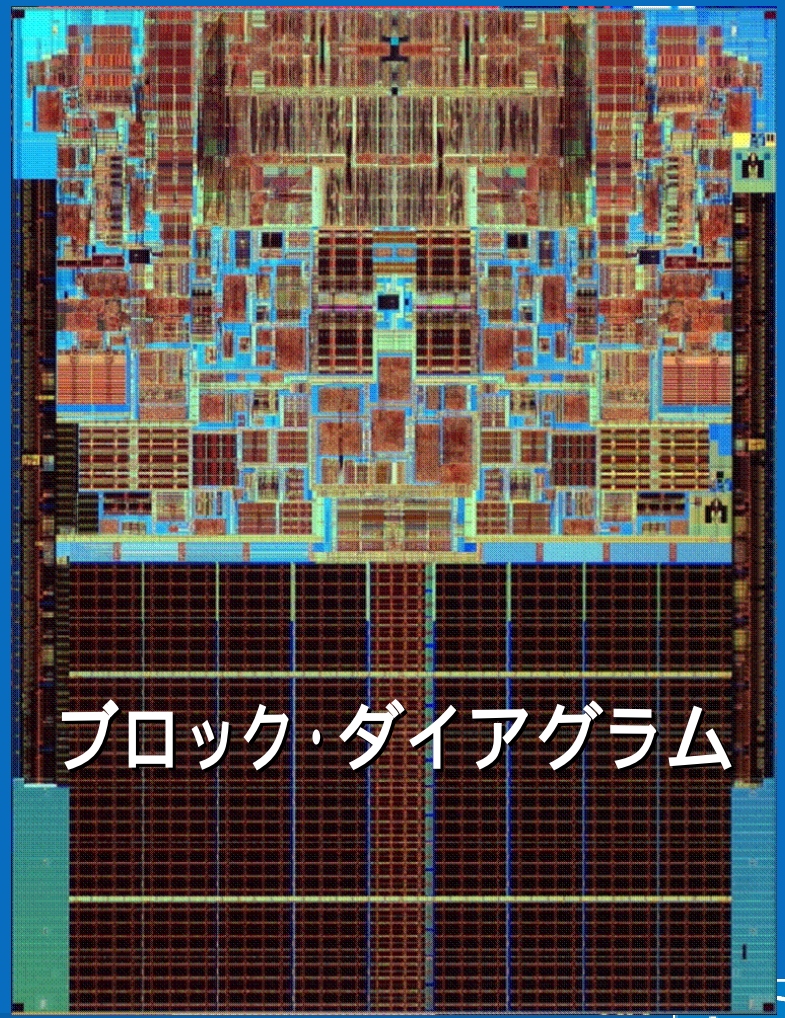
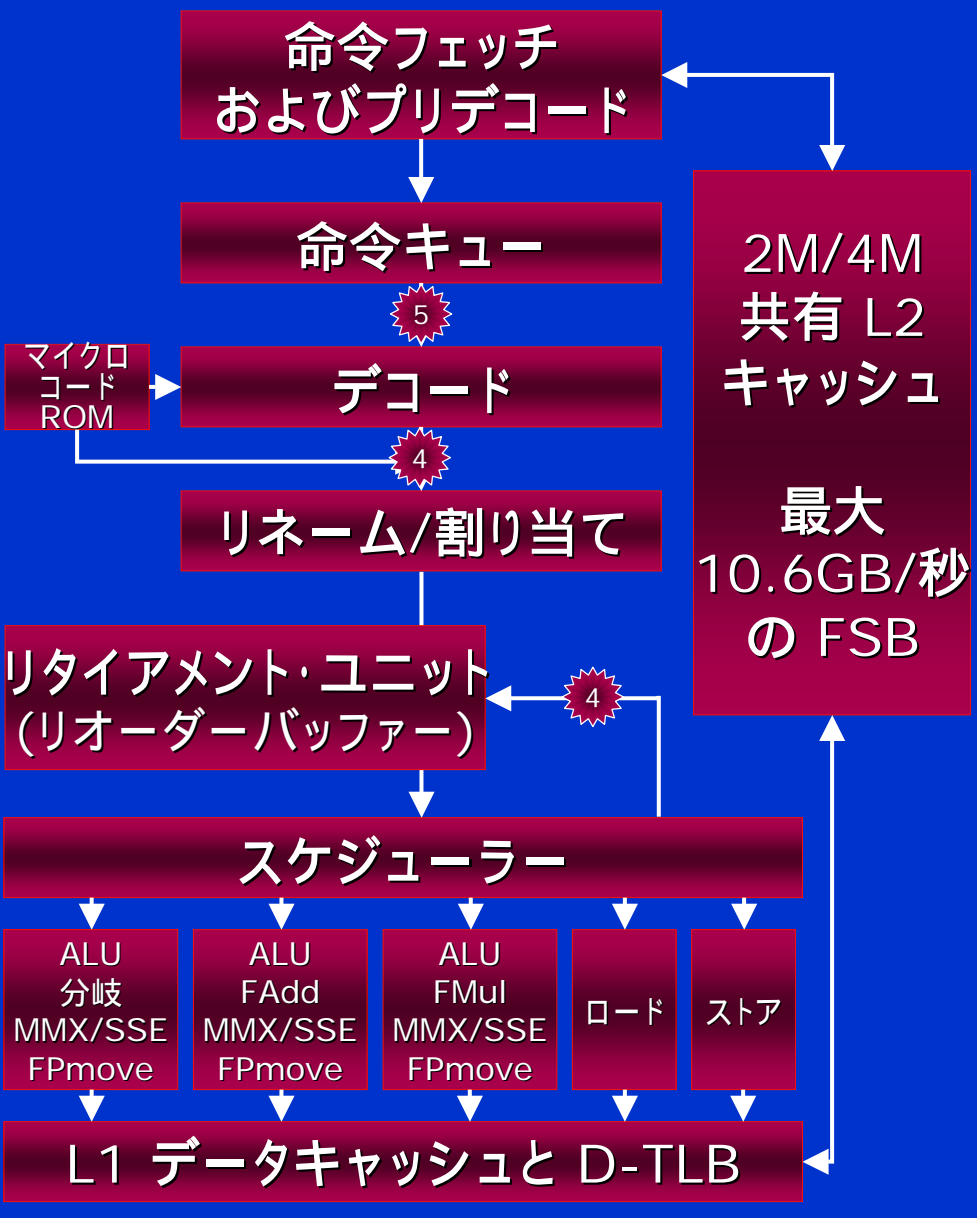
4
マイクロ・オペレーション(μOP)のフュージョン

命令プール
(ROB)

命令プール
(ROB)



インテル® Core™ マイクロアーキテクチャー



マイクロオペレーション削減の手法

ESP トラッカー* (拡張スタックポインター)

- 専用ハードウェア内でスタックポインターの更新を実行
- インテル® Core™ マイクロアーキテクチャーでは、帯域幅が 33% 向上

マイクロオペレーションのマイクロフュージョン*

- 複数の μ OP で構成される命令を単一の μ OP で表現
- インテル® Core™ マイクロアーキテクチャーでは、処理できる命令の数が増加

マクロフュージョン

- インテル® Core™ マイクロアーキテクチャーの新しい手法

* インテル® Pentium® M プロセッサで初めて実装された手法。

マクロフュージョン

一般的な x86 命令のペアを単一のマイクロオペレーションで発行

- CMP または TEST + 条件分岐 (Jcc)

マクロフュージョン用の拡張版 ALU (Arithmetic Logic Unit)

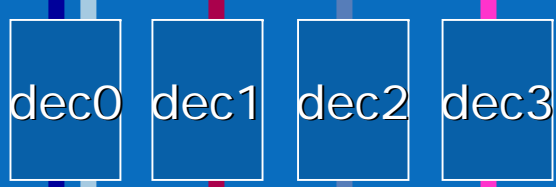
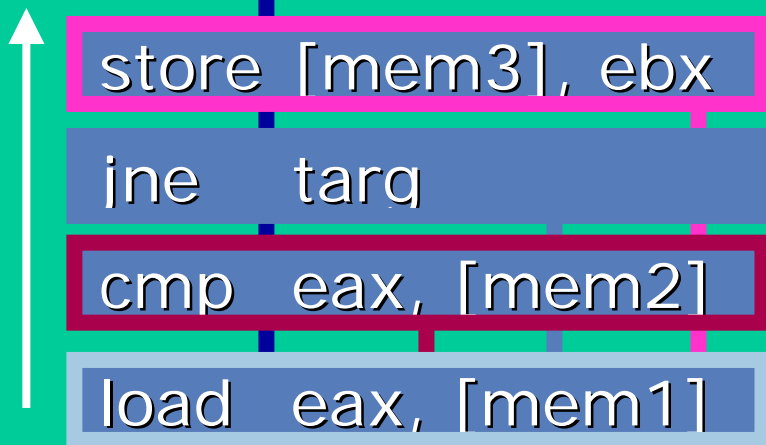
- 1 回のディスパッチ – 効率
- 1 サイクルでの実行 – パフォーマンス

命令キュー

マクロフュージョンがない場合

命令キューから 4 つの命令を読み取る

各命令が別々の μ OP にデコードされる



サイクル 1
サイクル 2



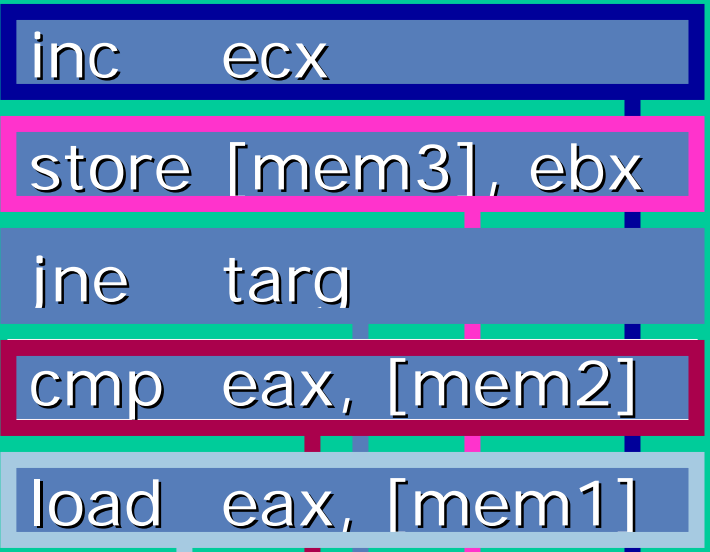
命令キュー

マクロフュージョンを使用した場合

命令キューから 5 つの命令を読み取る

結合可能な命令ペアを 1 つのデコーダーに送り込む

1 つの μ OP で 2 つの命令を結合



サイクル 1

20



Software College



アドバンスド・デジタル・メディア・ブースト



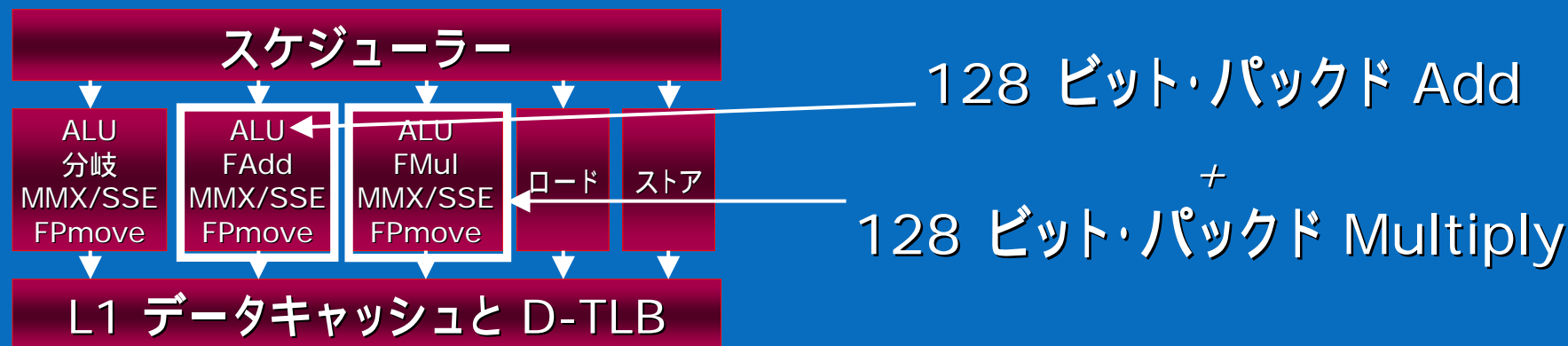
128 ビット・パワード Add
 +
 128 ビット・パワード Multiply
 +
 128 ビット・パワード Load
 +
 128 ビット・パワード Store
 +
 (CMPJCC)

1 クロック当たり 2 倍の演算スループット



(乗算 + 加算) / サイクル

SIMD	パックド 単精度浮動小数点	パックド 倍精度浮動小数点	パックド 整数
Core™ Duo	2 Mul + 2 Add	1 Mul+1Add	4 Mul+ 4Add
Core™ 2 Duo	4 Mul + 4 Add	2 Mul+ 2 Add	8 Mul+ 8 Add

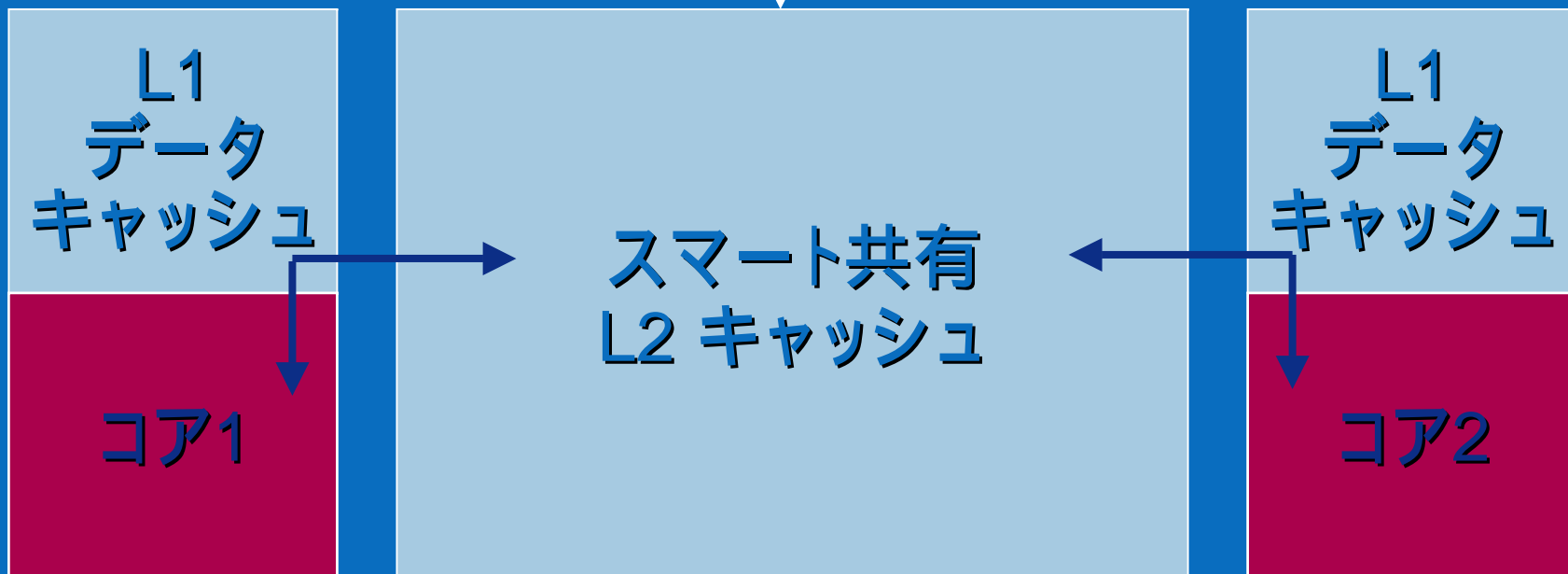


1 クロックあたり 2 倍の演算スループット



スマート・メモリー・アクセス – 目標

システムバス



時間の局所性
空間の局所性

データを可能な限り早く利用できるようにする
データが可能な限り近くにあるようにする

メモリー・サブシステムのレイテンシーを隠蔽



スマート・メモリー・アクセス メモリーのディスアンビギュエーション

メモリーのディスアンビギュエーション予測

先行するストア命令からフォワードされないと予測されるロード命令は、できる限り早くスケジュールされることを許される

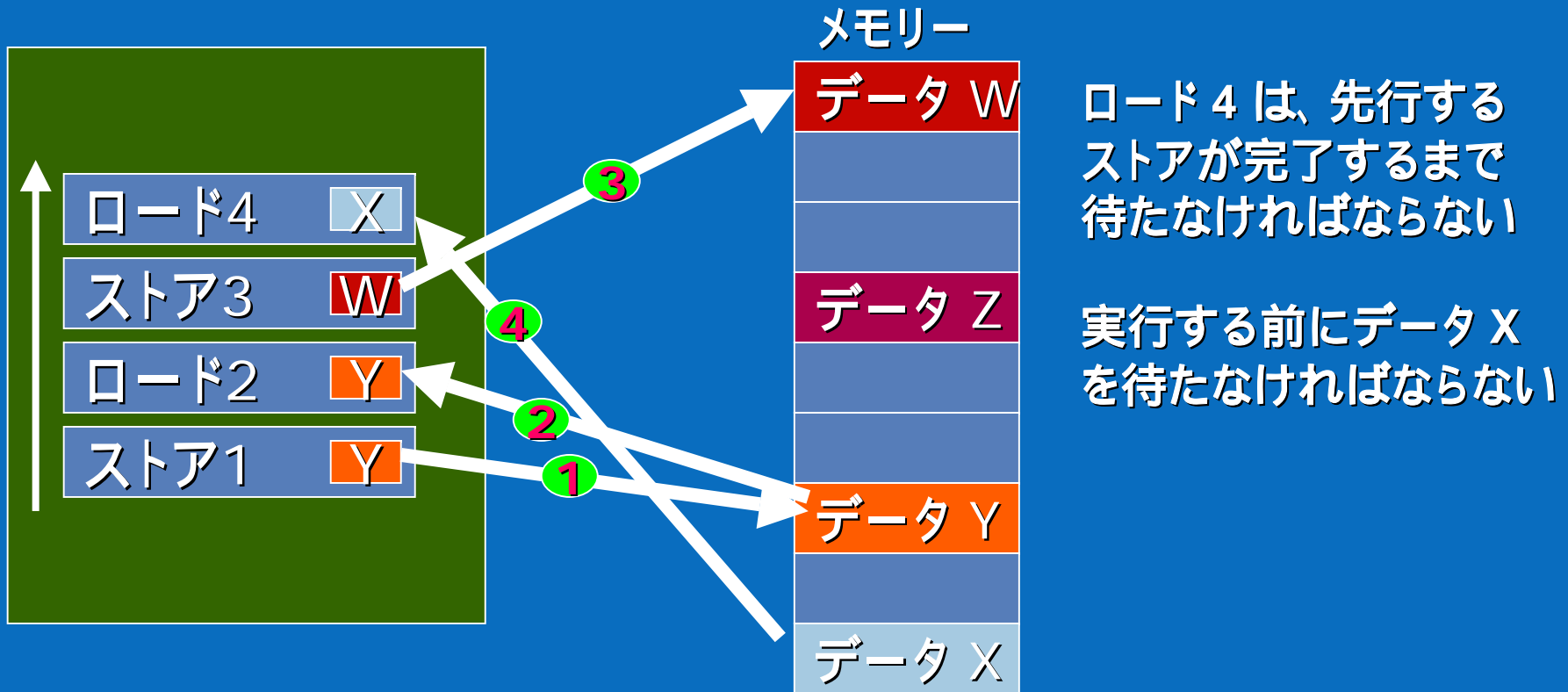
- アウトオブオーダー・メモリー・パイプラインのパフォーマンスを向上

ディスアンビギュエーションされたロード命令は、リタイアメント時に整合性がチェックされる

- 既存のコヒーレンシ機構の拡張
- ソフトウェアとシステムからは透過

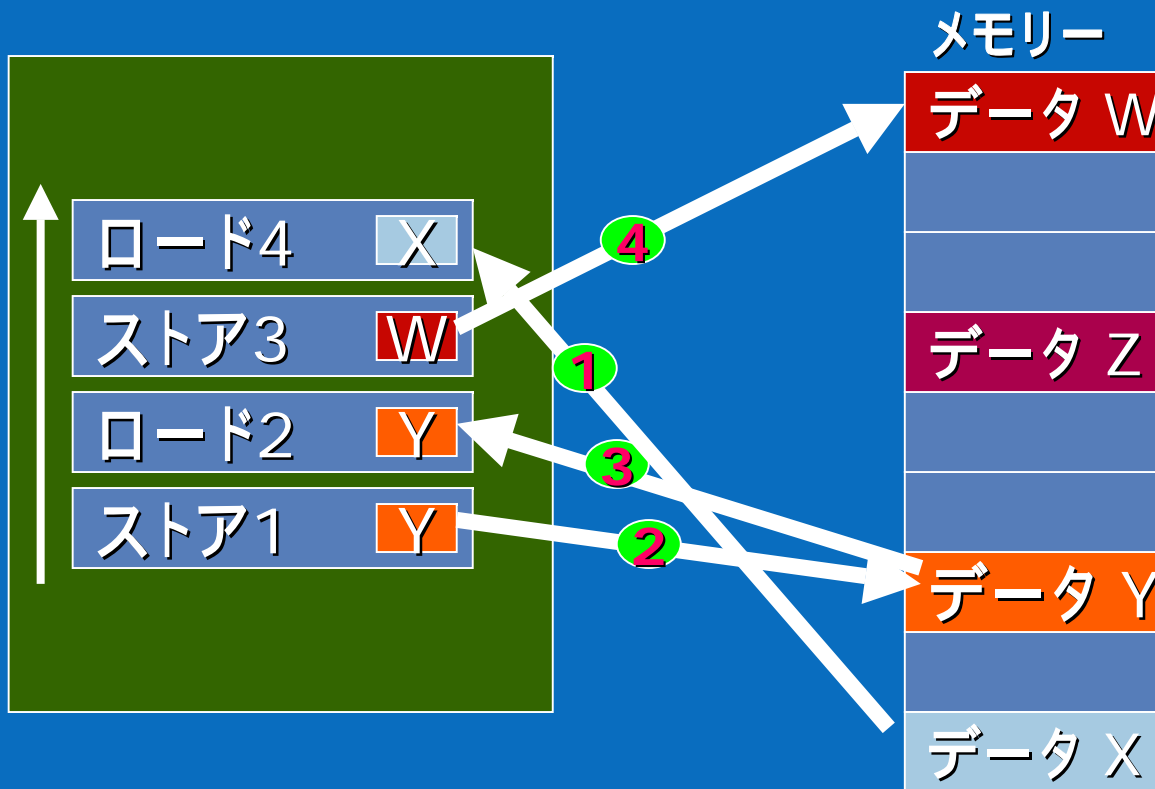
メモリー・サブシステムのレイテンシーを隠蔽

メモリアクセスの明確化がない場合



後続するロードは待機する必要がある

メモリアクセスの明確化機能を使用した場合



ロードをストアから切り離せる

ロード4 は自分のデータを先に取得できる

データが早く利用できるようになる

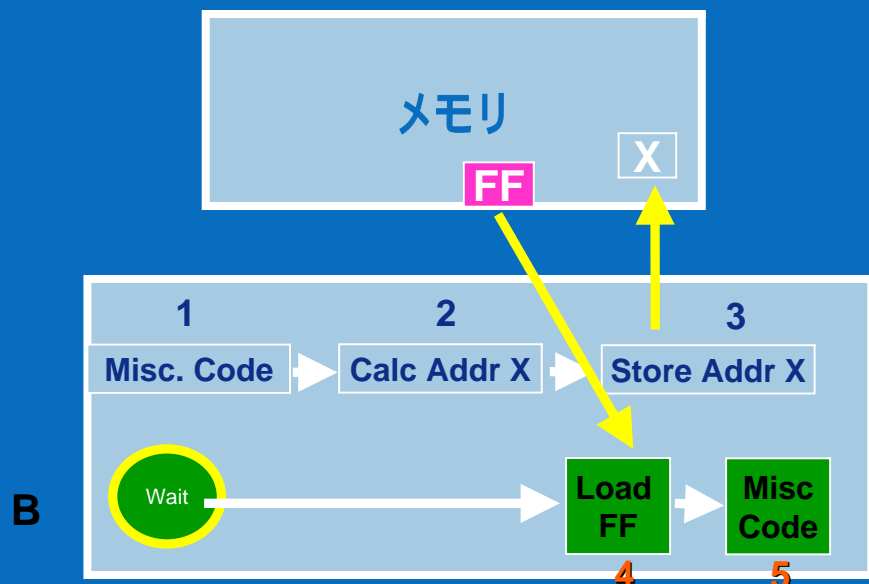


メモリアクセスの明確化(ディスアンビギュエーション)

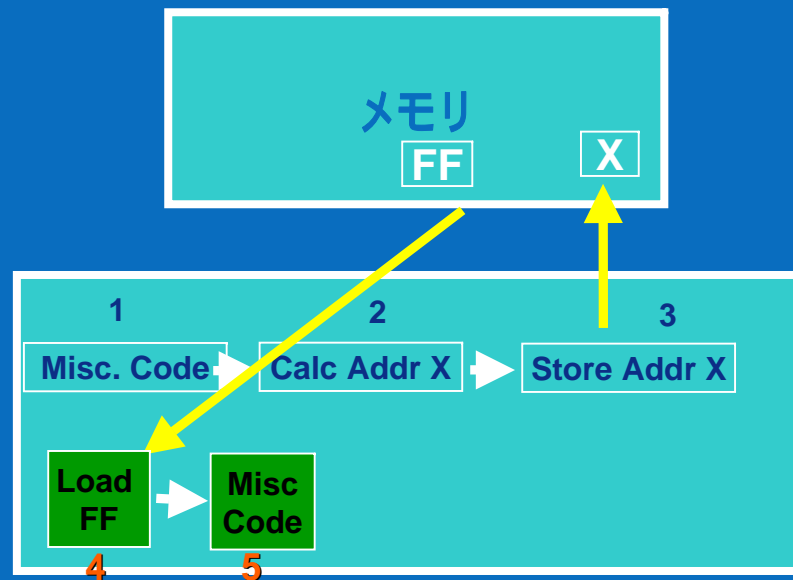
例)

- 命令順序列 A
 - 1. Misc Code
 - 2. Addr [X] = A + B
 - 3. Store Data → Addr [X]
- 命令順序列 B
 - 4. Load Data → Addr FF
 - 5. Misc Code

メモリ・ディスアンビギュエーションなし

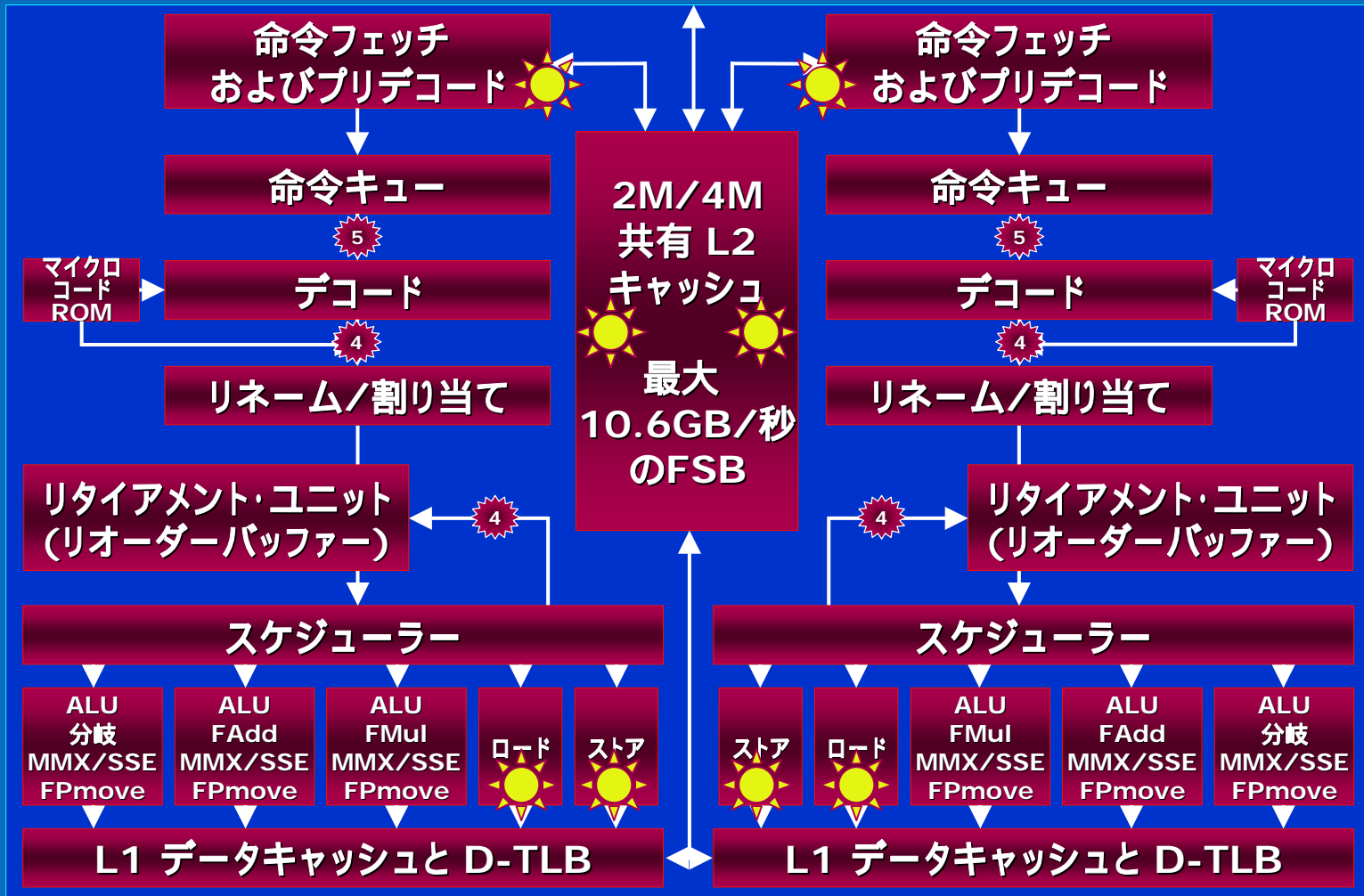


メモリ・ディスアンビギュエーションあり



ロード命令の処理中に他の命令を処理、
実行することが可能 待ち時間の隠蔽

プリフェッチャーとマルチコア



動的に共有される 2 つの L2 プリフェッチャー



アドバンスド・スマート・キャッシュ マルチコアに最適化



スマートキャッシュの利点

- L2 が各コアの負荷に適応できる
- 高速データ共有
- 複製データがない

追加の利点

- L1 キャッシュに対する 2 倍の帯域幅

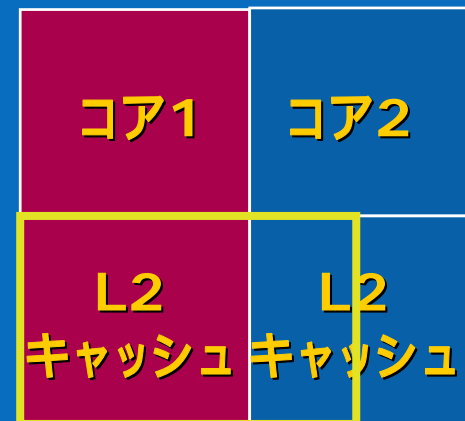
マルチコアに最適化された共有キャッシュ2 倍の帯域幅

アドバンスト・スマート・キャッシュ ダイナミック・キャッシュ・アロケーション

アドバンスト・ スマート・キャッシュ



独立キャッシュ

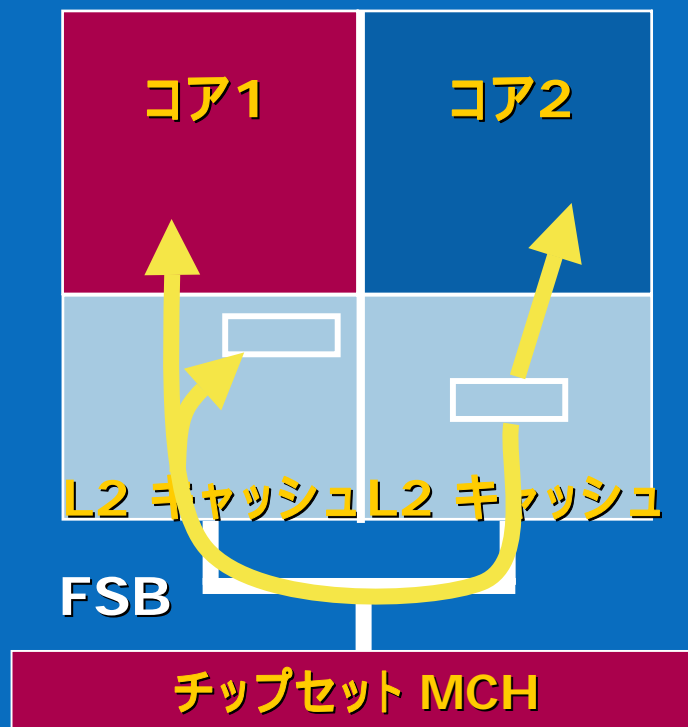
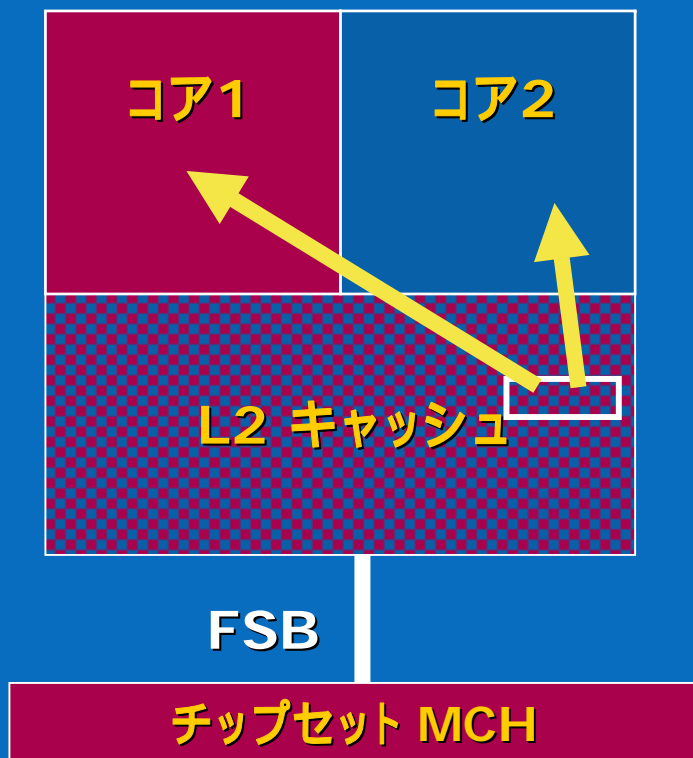


共有キャッシュは2つのコアからの不均衡な負荷に適応。しかし独立キャッシュは、一方のキャッシュの使用率が低く、キャッシュが空いていても、もう一方の高負荷のアプリケーションはその空きキャッシュを利用できずパフォーマンス向上が見込めない。

アドバンスド・スマート・キャッシュ 効率的なデータ共有

アドバンスド・
スマート・キャッシュ

独立キャッシュ



内容

基本アーキテクチャー

- インテル® Pentium® 4 プロセッサー
- インテル® Xeon® プロセッサー
- インテル® Pentium® M プロセッサー
- インテル® Core™ Duo プロセッサー

ハイパースレッディングとデュアルコア

インテル® エクステンデッド・メモリー 64 テクノロジー

インテル® ソフトウェア開発製品



ハイパースレッディング・テクノロジーとは？

2つの論理プロセッサでコアの
プロセッサリソースを共有

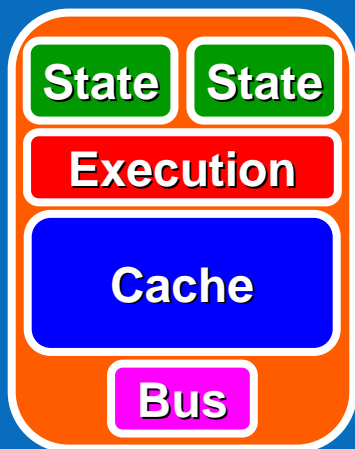
物理実行ユニットの使用率を
高める

マルチスレッド・アプリケーション
のパフォーマンスを向上させる



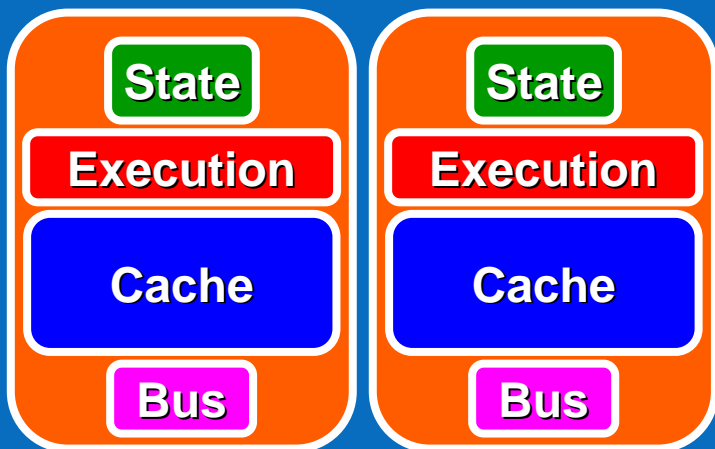
スレッド化の進化

HTテクノロジー Pentium® 4



2 スレッド
1 パッケージ

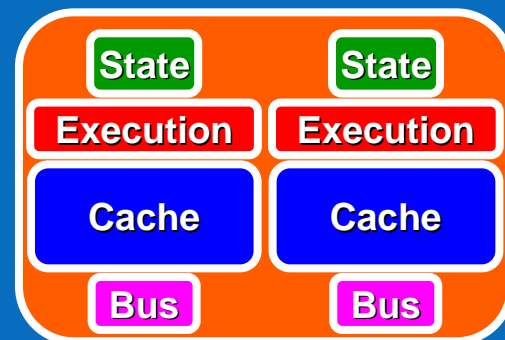
デュアル インテル® Xeon® プロセッサ



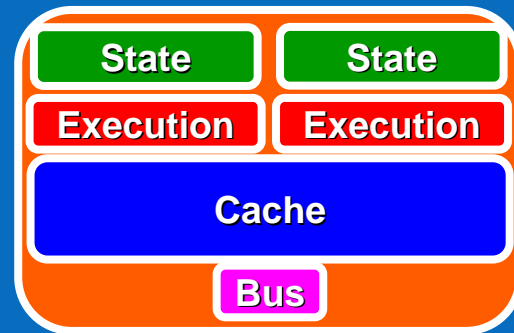
2(4) スレッド
2 パッケージ



インテル® Pentium® D



インテル® Core™ Duo



2 スレッド 1 パッケージ

プロセッサによるマルチスレッド化サポートの進化



内容

基本アーキテクチャー

- インテル® Pentium® 4 プロセッサー
- インテル® Xeon® プロセッサー
- インテル® Pentium® M プロセッサー
- インテル® Core™ Duo プロセッサー

ストリーミング SIMD 拡張命令

メモリー階層

ハイパースレッディングとデュアルコア

インテル® エクステンデッド・メモリー 64 テクノロジー

インテル® ソフトウェア開発製品



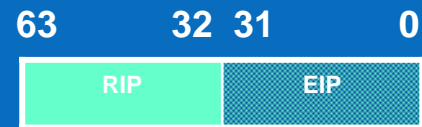
インテル® EM64T インテル® エクステンデッド・メモリー 64 テクノロジー

64 ビットアドレス拡張

- IA32e 動作モードには 2 つのサブモードがある
 - 64 ビットモード
 - 64 ビットのリニアアドレス
 - 既存の汎用レジスターを 64 ビットに拡張
 - 拡張/追加された命令セット
 - OS によってコードセグメントごとにイネーブルにされる
 - デフォルトのアドレスサイズは 64 ビット
 - デフォルトのデータサイズは 32 ビット
 - 互換モード
 - 64 ビット・オペレーティングシステムで 32 ビット・アプリケーションを実行
 - アプリケーションを再コンパイルする必要なし
 - OS はカーネルの呼び出し境界にサンクレイヤーを提供

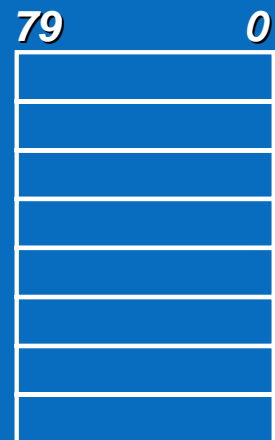
主な機能

インテル® EM64T - レジスタ



63	32	31	0
RAX	EAX		
RBX	EBX		
RCX	ECX		
RDX	EDX		
RBP	EBP		
RSI	ESI		
RDI	EDI		
RSP	ESP		
R8			
R9			
R10			
R11			
R12			
R13			
R14			
R15			

127	64	63	0
XMM0			
XMM1			
XMM2			
XMM3			
XMM4			
XMM5			
XMM6			
XMM7			
XMM8			
XMM9			
XMM10			
XMM11			
XMM12			
XMM13			
XMM14			
XMM15			



**X87/
MMX**



インテル® EM64T - 命令セットにおける 64 ビットの影響

プリフィックス REX オペコード ModR/M SIB ディスプレースメント イミディエート

分岐命令の影響

- 互換モードにおいて分岐命令は 32 ビットと同様である
 - JMP rel8/16/32 (符号付きの 8、16、32 ビット変位として相対ジャンプする)
 - JMP r/m32 (同じ 32 ビットのコードセグメント内で絶対間接 near ジャンプする)
- 64 ビットモードの場合
 - JMP rel8/32 (符号付きの 8 または 32 ビット変位として相対ジャンプする。16 ビットは未サポート)
 - JMP r/m64 (同じ 64 ビットのコードセグメント内で絶対間接 near ジャンプする。r/m32 は未サポート)

浮動小数点演算

X87 ハードウェアがまだ存在していてレガシーコードが動作する

インテル® C++/Fortran コンパイラーはベクトル化を行い、SSE レジスター/命令を使用する

インテル® EM64T 対応コンパイラーでは、スカラー FP も SSE レジスターで処理される

x87 は 80 ビットの FP レジスターを使用するが、SSE は 64 ビットのため、精度が異なる可能性があることに注意する

ベクトル演算は異なる順序で行われることがあり、固定精度 FP は計算されないため、精度が異なる可能性があることに注意する

速度と精度のトレードオフに注意!

インテル® EM64T - 新しいソフトウェア規則

浮動小数点インターフェイスは、X87 の代わりに
XMM レジスターを使用する

関数呼び出しシーケンスは、引き数をレジスターで渡す

インテル® EM64T - ABI: 呼び出し規則

レジスター	ステータス	使用
RAX	Volatile	戻り値レジスター
RCX, RDX, R8, R9	Volatile	最初の 4 つの整数引数
R10:R11	Volatile	呼び出し先で必要に応じて <i>MBP</i>
R12:R15, RBX, RSI, RDI, BP	Non-volatile	呼び出し先で <i>MBP</i>
RSP	Non-volatile	スタックポインター
XMM0:XMM3	Volatile	最初の 4 つの FP 引数
XMM4:XMM5	Volatile	呼び出し先で必要に応じて <i>MBP</i>
XMM6:XMM15	Non-volatile	呼び出し先で <i>MBP</i>
MXCSR [0..5]	Volatile	浮動小数点ステータス
MXCSR [6..15]	Non-volatile	浮動小数点制御、呼び出し先で <i>MBP</i>

MBP = 必ず保存

インテル® EM64T - ABI: 呼び出し規則

レジスター	ステータス	使用
RAX	Volatile	戻り値レジスター
RDI, RSI, RDX, RCX, R8, R9	Volatile	最初の 6 つの引数
R10:R11	Volatile	呼び出し先で必要に応じて <i>MBP</i>
R12:R15, RBX, RBP	Non-volatile	呼び出し先で <i>MBP</i>
RSP	Non-volatile	スタックポインター
XMM0:XMM1	Volatile	FP 引数を渡して返す
XMM2:XMM7	Volatile	<i>FP 引数を渡す</i>
XMM8:XMM15	Non-volatile	呼び出し先で <i>MBP</i>

MBP = 必ず保存

インテル® EM64T - ABI: アライメント

スタックは 128 ビットにアライメントされる

- すべての関数エントリーは 128 ビット・アライメントで保持される

malloc() および alloca() が返すメモリーは 128 ビットにアライメントされる

まとめ

マイクロアーキテクチャーは、プロセッサの一部
ハイパースレッディング・テクノロジーにより、タスクレベルの並列化が可能になる
デュアルコアを最大限に生かすにはマルチスレッド化が必須となる
インテル® EM64T では、より大きなアドレス空間とリソースが提供される



参考資料



参考資料

インテル® エクステンデッド・メモリー 64 テクノロジー・ソフトウェア・デベロッパーズ・ガイド、第1巻 および第2巻

IA-32 インテル® アーキテクチャー・ソフトウェア・デベロッパーズ・マニュアル、
上巻: 基本アーキテクチャー、
中巻 A: 命令セット・リファレンス A-M、
中巻 B: 命令セット・リファレンス N-Z、
下巻: システム・プログラミング・ガイド

インテル® Pentium® 4 プロセッサーおよびインテル® Xeon® プロセッサー最適化リファレンス・マニュアル

AP-485 インテル® プロセッサーの識別と CPUID 命令



本資料に掲載されている情報は、インテル製品の概要説明を目的としたものです。製品に付属の売買契約書『Intel's Terms and conditions of Sales』に規定されている場合を除き、インテルはいかなる責を負うものではなく、またインテル製品の販売や使用に関する明示または黙示の保証 (特定目的への適合性、商品性に関する保証、第三者の特許権、著作権、その他、知的所有権を侵害していないことへの保証を含む) に関しても一切責任を負わないものとします。

インテル製品は、予告なく仕様が変更されることがあります。

* その他の社名、製品名などは、一般に各社の商標または登録商標です。

© 2006, Intel Corporation.